(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

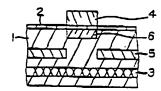
(11) 2-303168 (A) (43) 17.12.1990 (19) JP

(21) Appl. No. 64-125175 (22) 18.5.1989

(71) NEC CORP (72) SHUICHI SAITO (51) Int. Cl<sup>2</sup>. H01L29/804, H01L21/265, H01L21/266, H01L29/68

PURPOSE: To obtain a buried electrode in which a detect is not formed in silicon by a method wherein a collector is formed in a silicon substrate, a buried gate electrode and an emitter electrode are formed simultaneously and, during this process, a mask having an energy loss nearly identical to an energy loss of metal ions from the surface of the silicon substrate to the gate electrode is

CONSTITUTION: A collector electrode 3 which has been buried by implanting n-type or p-type impurities into a silicon substrate 1 is formed. Then, polysilicon is deposited in 0.54 pm; after that, a patterning operation is executed; a mask 4 is formed. Co is implanted into such a specimen at 1.2MeV at 5×1011/cm2. Then, a heat treatment is first executed at 600°C for one hr; after that, a beat treatment is executed additionally at 1000°C for 30min. By this heat treatment at 1000°C. Co at a periphery is stable in terms of its energy when it is transformed into CoSi2 as compared with a case where it exists partially in silicon. Consequently, it is collected toward a CoSi, layer which has been formed in advance; a silicide whose interface is sharp is formed. Thereby, a gate electrode 5 is formed simultaneously with an emitter electrode 6.



(54) INFRARED DETECTOR

(11) 2-303169 (A) ! (43) 17.12.1990 (19) JP

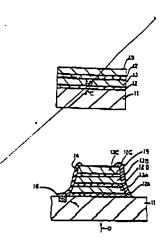
(21) Appl. No. 64-126440 (22) 18.5.1989

(71) FUJITSU LTD (72) YUICHIRO ITO

(51) Int. Cl. H01L31/10//H01L27/14

PURPOSE: To obtain a high-sensitivity Schottky-type infrared detection device which uses an Si substrate by a method wherein metal layers or silicide layers and semiconductor layers are laminated and formed alternately on a semiconductor substrate so as to be a multilayer structure and Schottky junctions composed of the metal layers or the silicide layers and the semiconductor layers are formed so as to be a multilayer.

CONSTITUTION: A first layer platinum silicide (PtSi) layer 12A in a thickness of about 10 Å is formed, by a molecular beam epitaxial growth method, on a P-type Si substrate 11 whose acceptor concentration NA is 1×1011; in addition, a first-layer P-type silicon (Si) layer 13A in a thickness of about 200 A is formed on it by said growth method. In addition, a second-layer platinum silicide layer 12B, a second-layer P-type Si layer 13B. a third-layer platinum silicide layer 12C and a third-layer P-type Si layer 13C in the same thickness are formed on it to be a multilayer structure by said growth method. When said growth method is used in this manner, the platinum silicide layers and the Si layers can be obtained to be a thin-layer structure in a state that their crystallinity is good. Thereby, hot carriers generated in a platinum silicide layer 12 are implanted in both direction of an arrow B and an arrow C; an increase in a sensitivity can be anticipated as compared with a structure in which only one layer of the platinum silicide layer is formed.



13: semiconductor layer. 14: metal electrode. 15: P 5: layer. 15: Nº layer

(54) PYROELECTRIC INFRARED DETECTOR

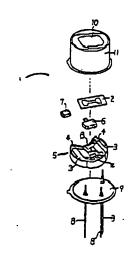
(11) 2-303170 (A) (43) 17.12.1990 (19) JP

(21) Appl. No. 64-125569 (22) 18.5.1989

(71) MÜRATA MEG CO LTD (72) SATOSHI ITO(4) (51) Int. Cl<sup>‡</sup>. H01135/00

PURPOSE: To make a production process easy and to reduce an irregularity in a characteristic by providing a substrate having a wiring pattern on its surface and composed of a ceramic of a prescribed thermal conductivity, and a chip component mounted on the substrate.

CONSTITUTION: A súbstrate 5 is made of a ceramic material whose thermal conductivity is 0.02cal/cm/sec·c or lower. An (MgCa)TiO, based ceramic or a BaO-SiO2-AKO, based ceramic can be used for the material. The thermal conductivity and permittivity are preferably as small as possible, and the resistance (volume resistivity) is preferably as high as possible. The substrate 5 has a recessed shape in such a way that a pyroelectric photodetector is suspended in the central part by supporting its ends by element-support parts 3. A wiring pattern 4 by a silver electrode is formed on the surface of the substrate 5 by a pad-system transcription printing method. When the pad-system transcription printing method is used, the wiring pattern 4 can be formed on a three-dimensional object in one process; as a result, a manufacturing process is made easy. The substrate 5 is placed on a base 9; an FET chip 6 is placed on a part (a) and a resistance chip 7 is placed on a part  $(\beta)$  of the substrate 5. They are soldered by a solder paste/reflow operation.



题 B 日本国特許庁(JP)

① 特許出願公開

# 公開特許公報(A) 平2-303168

©Int. Cl. 5 H 01 L 29/804 21/265 21/266 29/68 別記号 庁内整理番

@公開 平成2年(1990)12月17日

8225-5F 7733-5F

₩ 01 L 29/80 21/26 W M

5 P

寒を請求 未請求 請求項の

(全3頁)

❷発明の名称

半導体装置の製造方法

◎特 頭 平1-125175

②出 頭 平1 (1989) 5月18日

**@発明者 齊藤 修一** 

東京都港区芝5丁目33番1号 日本電気株式会社内

闭出 頭 人 日本電気株式会社 東京都港区芝5丁目7番1号

四代 理 人 弁理士 菅野 中

#### 明 組 書

1. 発明の名称

半導体装置の製造方法

#### 2. 特許請求の範囲

(1) シリコン基板中に n 型あるいは p 型の不能 物をイオン注入してコレクタを形成する工程と、 シリコンと 金属間化合物を形成する金属イオンを イオン注入し、埋め込みゲート 電極及びエミック 電佐を同時に形成する工程と、育記工程において シリコン基板表面からゲート 電極までの前記全属 イオンのエネルギー損失と同程度のエネルギー損失 失き有するマスクを形成する工程とを含むことを 特徴とする半導体装置の製造方法。

3.発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置、特に模型FETの製造方法に関する。

〔従来の技術〕

従来、概型の理め込み電価を有するFET、例 えばシリサイドを用いた理め込みゲート電価を形 成するには、先ずMBE装置を用い、シリコン基 板表面を清浄化処理した後シリコン基板上に金属 を付着する。次にパターニング及び無処理を順次 行い、単結晶シリサイドを形成する。その後MB E装置に再び試料を入れ表面の清浄化を行ない、 さらに部分的にシリサイドとシリコンが表面に露 出した試料上にシリコンをエピタキシャル成長さ せる。この方法としては、シリコンを固相で成長 させる方法とMBE法で成長させる方法とが知ら れている。いずれの方法を用いてもシリサイド を一種的込んだ構造は形成できる。これらの技術 は例えば、R. T. Tung、et、alによりThin Solid Files、Vol. 93、77(1982)に報告されている。 〔発明が解決しようとする課題〕

前述のように、シリコンとシリサイドとを順次 成長させていくことによりシリサイドの壁め込み 電価を形成できる。しかしながら、この様な方法 で電価を形成した場合には、単純品シリサイドの 上にシリコンを形成するとき埋め込まれたシリサ イドのエッジ領域から欠陥がシリコン中に入り込

## 持周平2-303168 (2)

み、PBTを作製したとき、そのチャネル領域に 欠陥が入り、特性劣化の原因となる欠点がある。

本発明の目的は従来のこの復な問題点を解決し、 シリコン中に欠陥の入らない屋め込みで低を有す る半導体装置の製造方法を提供することにある。 (課題を解決するための手段)

#### 〔作用〕

基板の深さ方向にデパイスを作製しようとした 場合、任意の深さ位置に電極を形成できること及び平面的にみた場合に電極がセルフアラインに形

式的な断面図である。

第1図(a) において、 (111) シリコン基板1 上に酸化膜2を40mm形成後、最初リンを2Mevで 5.×10!\*1/al注入し、更にリンを150 Keyで 1· × 10!!1 / al注入した。この時、イオン注入時の 基板温度は液体窒素温度とした。基板温度を低く することにより、イオンの通過した領域のデメー ジは次の差処理により回復することができる。そ の後、1000でで60分間無処理を行なった。これに より、屋め込まれたコレクタ電極3が形成される。 第1因(b) において、次に、ポリシリコンを0.54 με 堆積させた後、パターニングを行ない、マス ク4を形成する。このほな試料にCoを≒2≈Mev∈ で 5%で105517/2回往入した。この時も、基板温度 は液体窒素温度とした。次に、光ず600 ℃で1時 園魚処理を行なった後、更に1000℃で30分間急 処理を行なった。はじめの無処理よりCo-シリ サイドが形成されるが、この無処理だけでは不 十分である。即ち大部分の領域はシリサイドに なるが、非面の策域では十分にCoが供給されず

従来のデバイス、例えばMOSデバイスにおいては、平面上への形状の投影という技術により自由自在にデバイスの作製ができた。しかし、経方向のデバイスでは従来エピタキシャル成長の技術でしか形成できなかったためにデバイス形成時の自由度が少なく困難であった。

### 〔実施例〕

以下、本発明の実施例を図面を用いて説明する。 第1図は本発明を実施した方法を示す構造の模

CoSizにならない。これを改善するために、 更に高温で無処理を行なう。1000℃の無処理により周辺のCoは、シリコン中に部分的に存在しているよりもCoSizになった方がエネルギー的に安定であるために、あらかじめ形成されたCoSiz層の方へ集まり、界面のシャーアなシリサイドが形成される。これにより、ゲート電をった同時にエミッタ電優6が形成される。この役に、マスクの材質及び膜厚を適当に選ぶことによりエミッタ電優6と同時にゲート電優5が形成できる。

この実施例ではCoを用いた場合について示したが、Co以外でもシリコンと金属同化合物を形成する全ての金属に同様の考え方で、屋め込み電極を形成することができる。また、コレクタ電低としてこの実施例ではリンのイオン注入を用いたが、磁素などの不純物を用いてもよい。

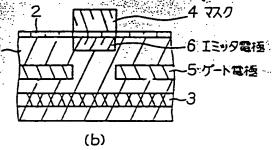
#### 【発明の効果】

以上のように本苑明によるときには高工木ルギー --のナオン注入技術を用いて深さ方向の不純物の

## **持周平2-303168(3)**

4. 図面の簡単な説明

第1因(a)。(b) は本実施例において行なった



第1図

# BEST AVAILABLE CURY